



Osnovi računarstva I

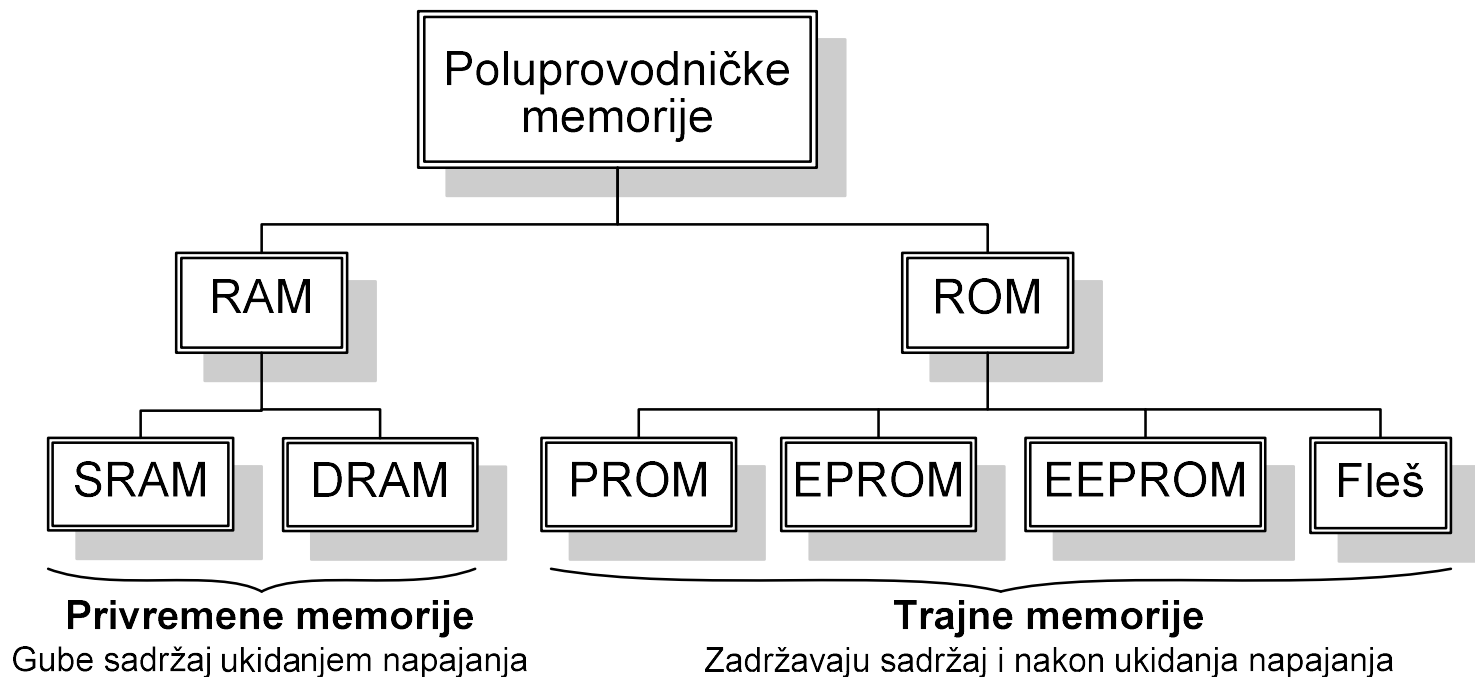
Memorija (nastavak)

Poluprovodnička RAM memorija i

Hijerarhija memorije

Poluprovodničke memorije (nastavak)

- **RAM** (*Random Access Memory*)
 - statički RAM (SRAM)
 - dinamički RAM (DRAM)
- SRAM je skuplji za proizvodnju, ali je brži i troši manje energije od DRAM
- DRAM mora da se “osvježava”

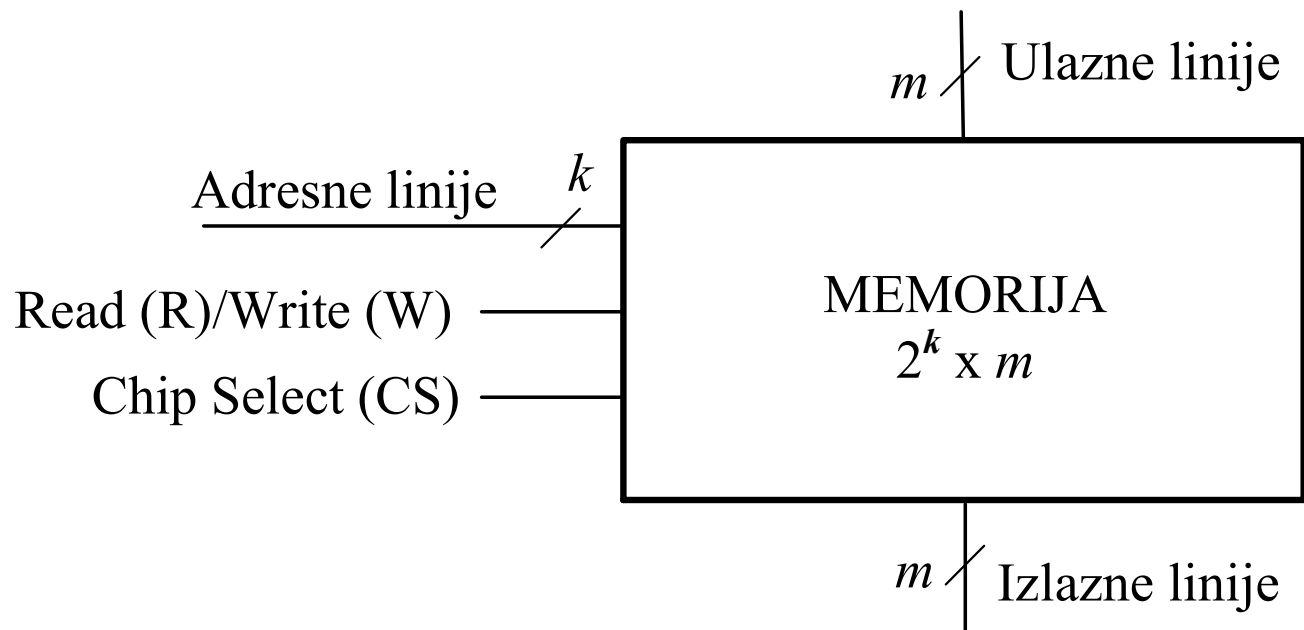




Vrste RAM memorija i njihova namjena

- Veća brzine funkcionisanja čini SRAM memoriju poželjnom i upotrebljivom za fabrikovanje memorijskih jedinica koje se nalaze u neposrednoj blizini (na istoj ploči) i koje direktno komuniciraju sa CPU – **Cache memorije!!**
- Cache memorije su **malog kapaciteta** (da ulazni dekoderi ne bi smanjivali brzinu njihovog funkcionisanja), tako da visoka cijena SRAM memorija ne utiče presudno na ukupnu cijenu računara.
- Niska cijena DRAM memorije i **veliki kapacitet po jedinici površine čipa** (u odnosu na SRAM) čini je pogodnom za fabrikovanje operativne memorije računara koja je značajno većeg kapaciteta od Cache memorije.
- Vrste DRAM memorija:
 - **Asinhroni DRAM** (nije sinhronizirana sa CPU i stoga CPU po pravilu čeka na podatke ⇒ **gubici u vremenu!!**)
 - **Sinhroni DRAM** (SDRAM) – sinhronizirana sa aktivnom ivicom CPU takta
 - **Double Data Rate SDRAM (DDR 1, 2, 3, 4)** – sinhronizirane sa obje ivice CPU takta (salaznom i uzlaznom) ⇒ **2 × brža od SDRAMa!!**

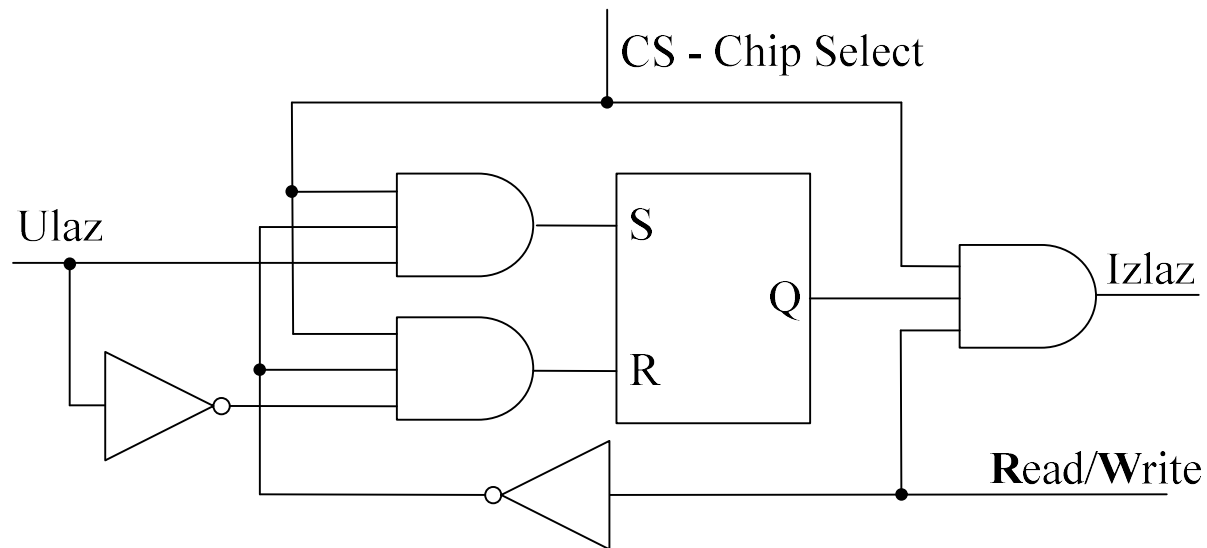
Operacije upisa/čitanja podataka iz RAM memorije



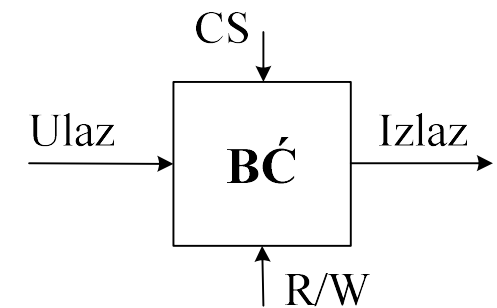
CS	R/W	Operacija memorije
0	×	Ne obavlja ni upis ni čitanje
1	0	Upis podataka u memoriju
1	1	Čitanje podataka iz memorije

Unutrašnja konstrukcija RAM memorije

- Unutrašnja konstrukcija RAM memorije sa N riječi, od kojih je svaka riječ dužine M bitova, sastoji se od $N \times M$ binarnih ćelija i kontrolne logike koja omogućava odabiranje pojedinih riječi i manipulaciju sa njima



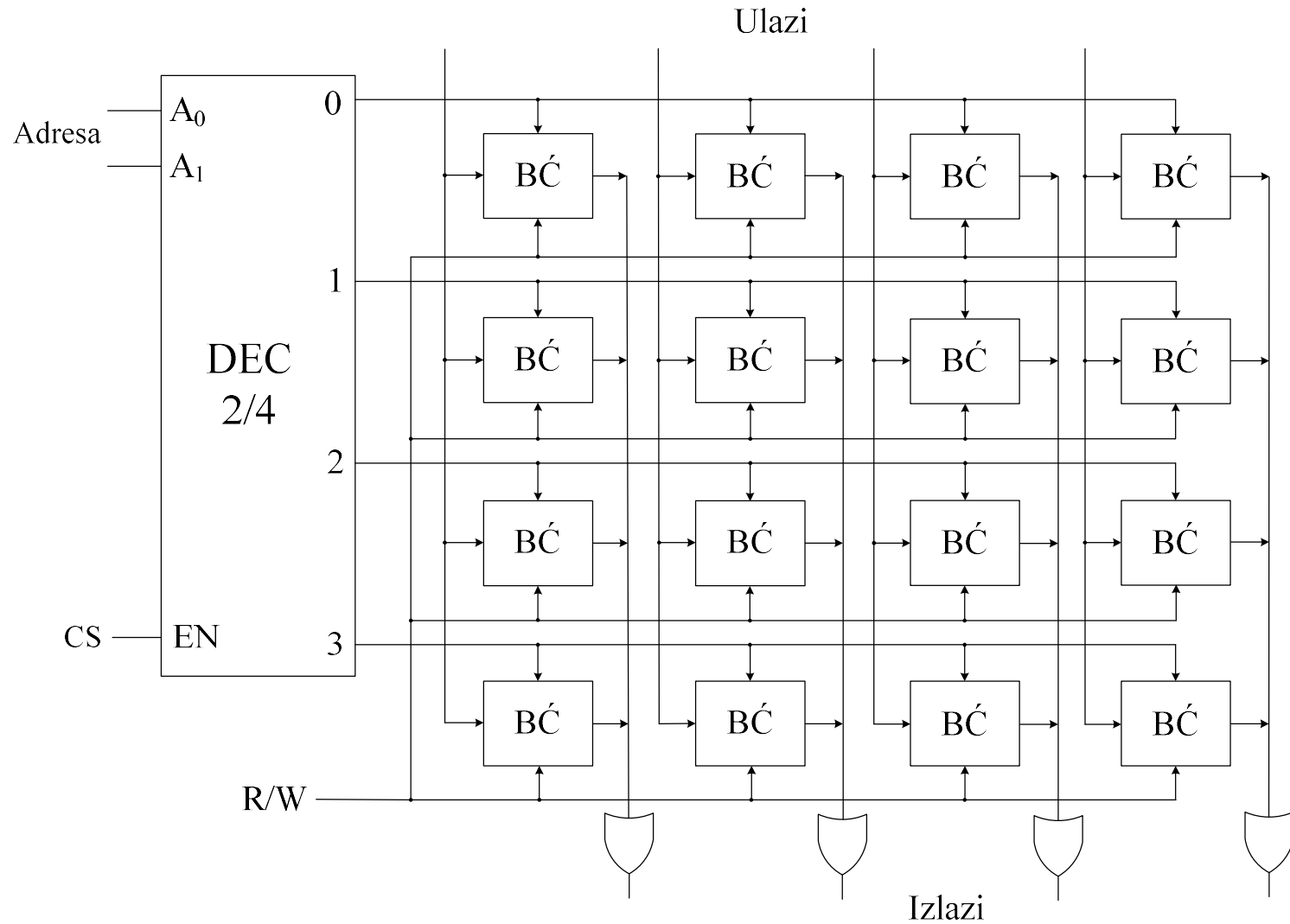
a)



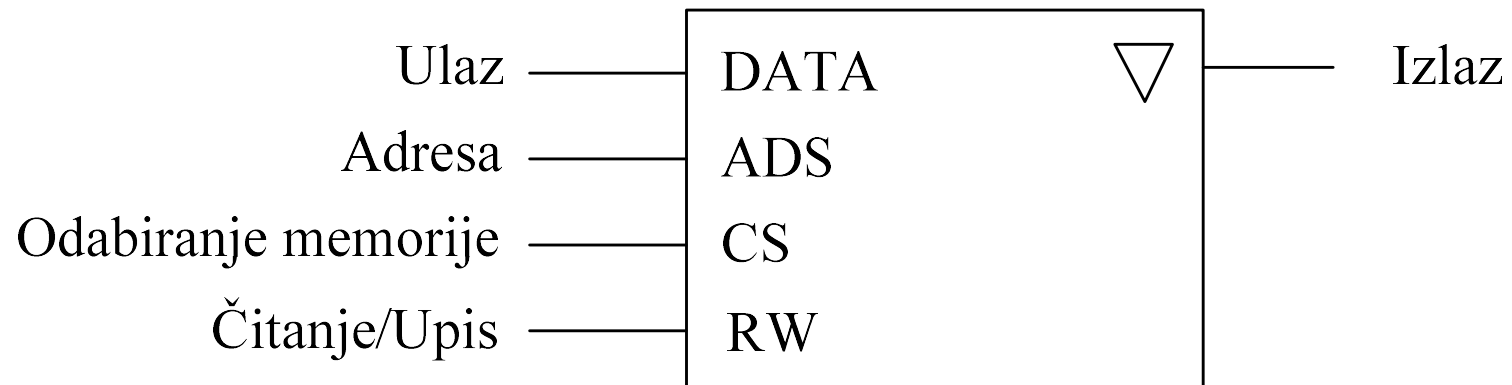
b)

CS	R/W	Ulaz		S	R		Q
1	0	0	⇒	0	1	⇒	0
1	0	1	⇒	1	0	⇒	1

Logička konstrukcija RAM memorije kapaciteta 4×4



Šematski prikaz memorijskog čipa





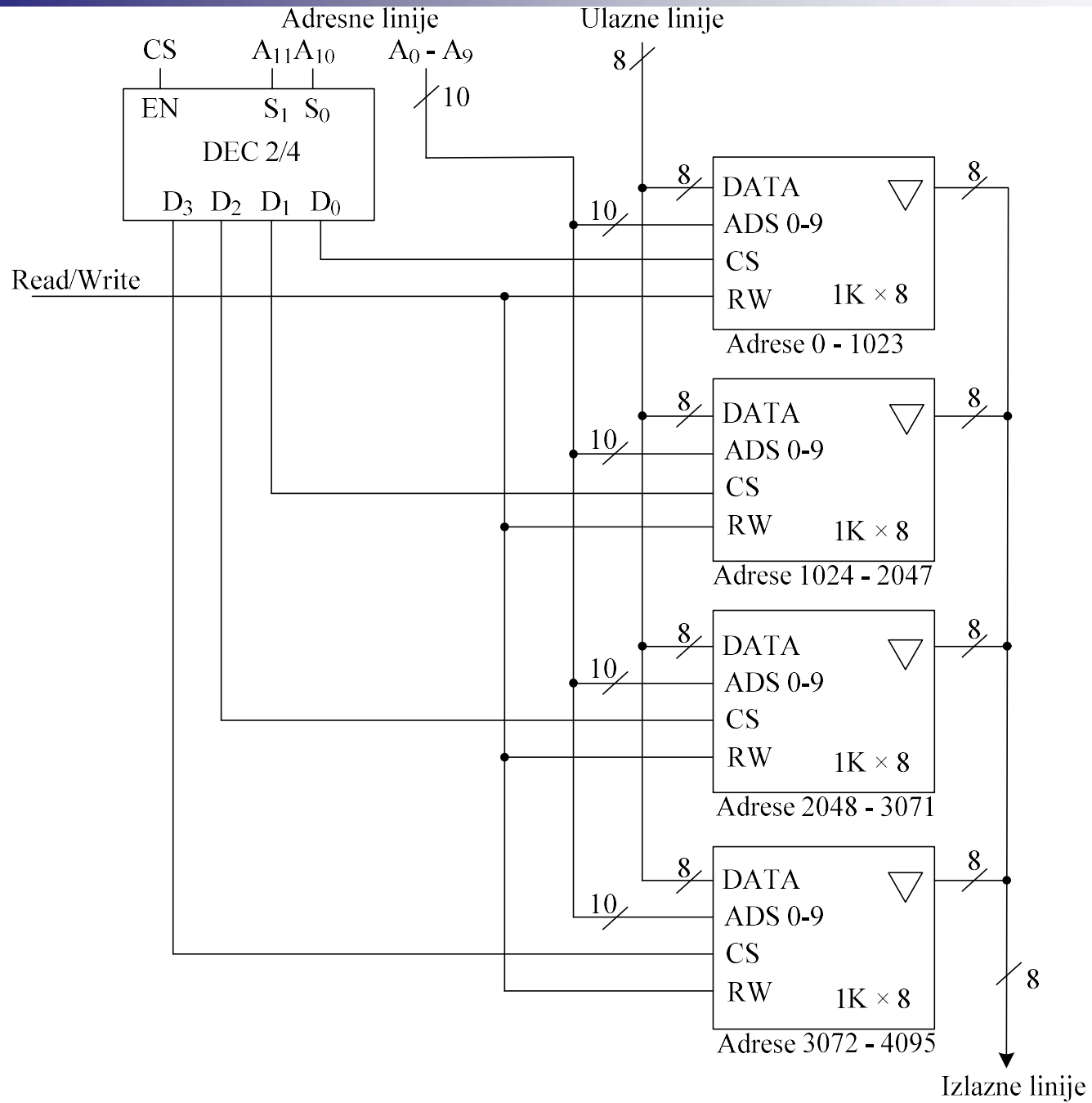
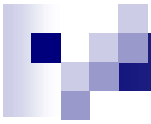
Organizacija RAM memorije velikog kapaciteta

- U praksi je često potreba za RAM memorijama većeg kapaciteta od onog koji imaju raspoloživi memorijski čipovi
- U tom slučaju je potrebno kombinovati više memorijskih čipova da bi se dobila memorija potrebnog kapaciteta
- Kapacitet memorije zavisi od dva parametra: **broja memorijskih lokacija** i **dužine memorijske riječi (broja bitova u jednoj lokaciji)**
- **Primjer:** Pomoću 4 memorijska čipa kapaciteta $1K \times 8$ može se realizovati memorija sa 4 puta više lokacija nego što ih ima u jednom čipu
- Takva memorija (kapaciteta $4K \times 8$) ima 12 adresnih linija
- Memorijski prostor od $4K$ lokacija podijeljen je na četiri jednaka dijela i svaki od njih je dodijeljen po jednom memorijskom čipu
- Pošto su pojedinom memorijskom čipu dodijeljene uzastopne (susjedne) lokacije, na njegove adresne priključke dovode se niže adresne linije, onoliko njih koliko ima priključaka

Podjela memorijskog opsega 4K×8 na memorijske opsege (čipove) kapaciteta 1K×8

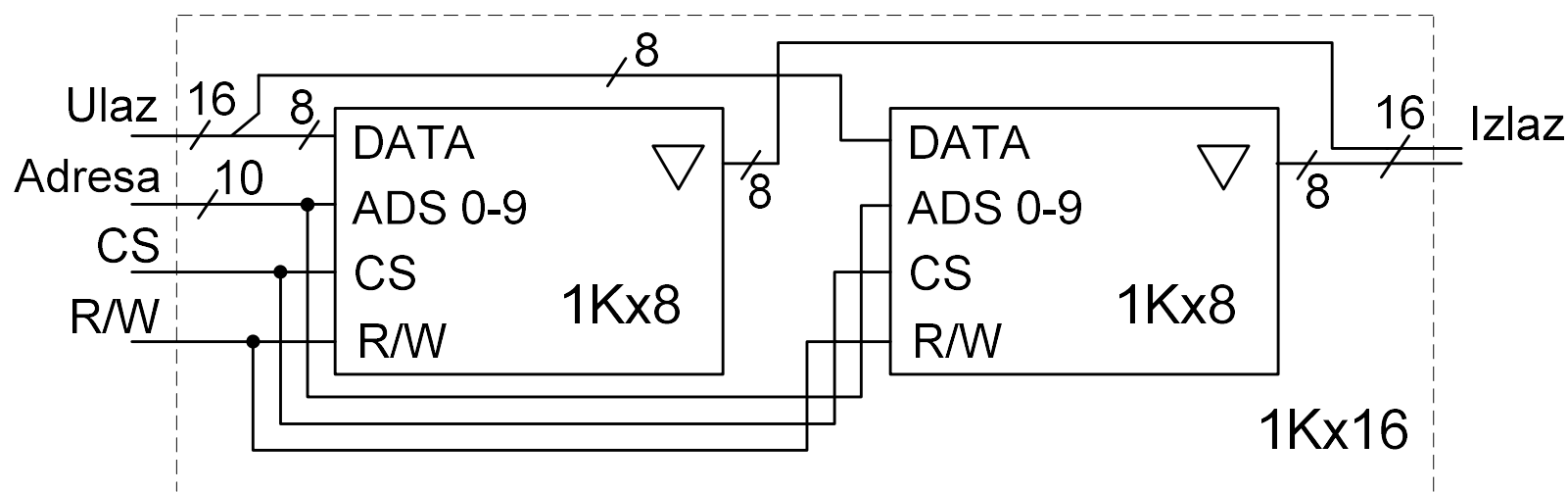
- Memorijski opseg 4K×8 zahtijeva 12 bitova za adresiranje svojih lokacija
- Memorijski opsezi 1K×8 zahtijevaju po 10 bitova (nižih 10 bitova od ukupno 12 adresnih bitova) za adresiranje svojih lokacija

A ₁₁	A ₁₀	A ₉	A ₈	A ₇	A ₆	A ₅	A ₄	A ₃	A ₂	A ₁	A ₀	Izlaz dekodera	Memorijski opseg
0	0	0	0	0	0	0	0	0	0	0	0	D ₀	0 – 1023
0	0	1	1	1	1	1	1	1	1	1	1		
0	1	0	0	0	0	0	0	0	0	0	0	D ₁	1024 – 2047
0	1	1	1	1	1	1	1	1	1	1	1		
1	0	0	0	0	0	0	0	0	0	0	0	D ₂	2048 – 3071
1	0	1	1	1	1	1	1	1	1	1	1		
1	1	0	0	0	0	0	0	0	0	0	0	D ₃	3072 – 4095
1	1	1	1	1	1	1	1	1	1	1	1		



Organizacija RAM memorije velikog kapaciteta povećavanjem dužine memorijskih riječi uz nepromijenljiv ukupan broj memorijskih lokacija

- **Primjer:** Memorija kapaciteta $1K \times 16$ realizovana pomoću 2 memorijska čipa kapaciteta $1K \times 8$:





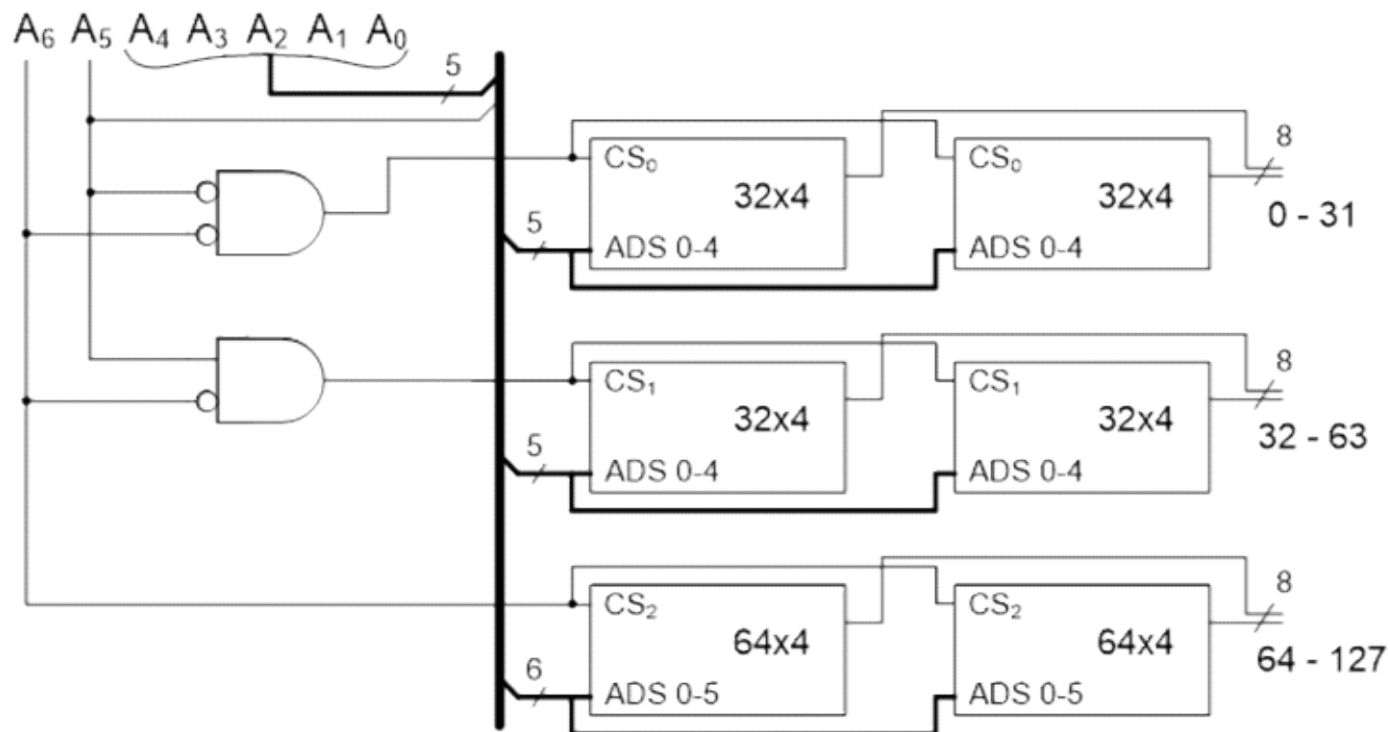
RAM 128×8 KREIRAN UPOTREBOM RAM 32×4 I RAM 64×4 ČIPOVA I OSNOVNIH LOGIČKIH KOLA

Raspodjela željenog memorijskog opsega medju raspoloživim čipovima

A ₆	A ₅	A ₄	A ₃	A ₂	A ₁	A ₀	Opseg
0	0	0	0	0	0	0	0–31
0	0	1	1	1	1	1	
0	1	0	0	0	0	0	32–63
0	1	1	1	1	1	1	
1	0	0	0	0	0	0	64–127
1	1	1	1	1	1	1	

RAM 128×8 KREIRAN UPOTREBOM RAM 32×4 I RAM 64×4 ČIPOVA I OSNOVNIH LOGIČKIH KOLA

Implementacija



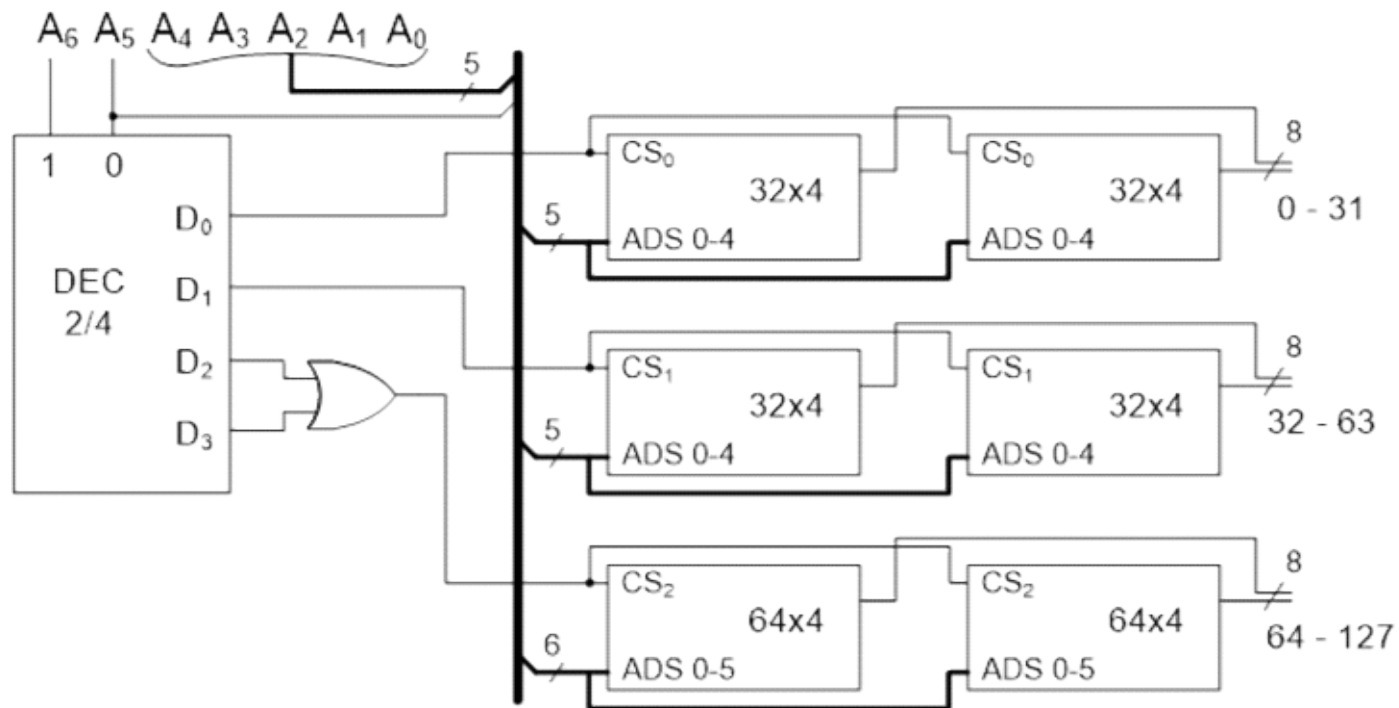
RAM 128×8 KREIRAN UPOTREBOM RAM 32×4 I RAM 64×4 ČIPOVA I DEKODERA DEC 2/4

Raspodjela željenog memorijskog opsega medju raspoloživim čipovima

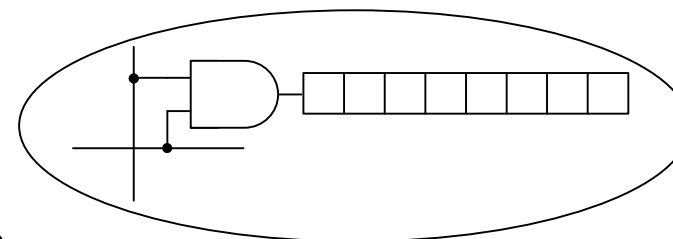
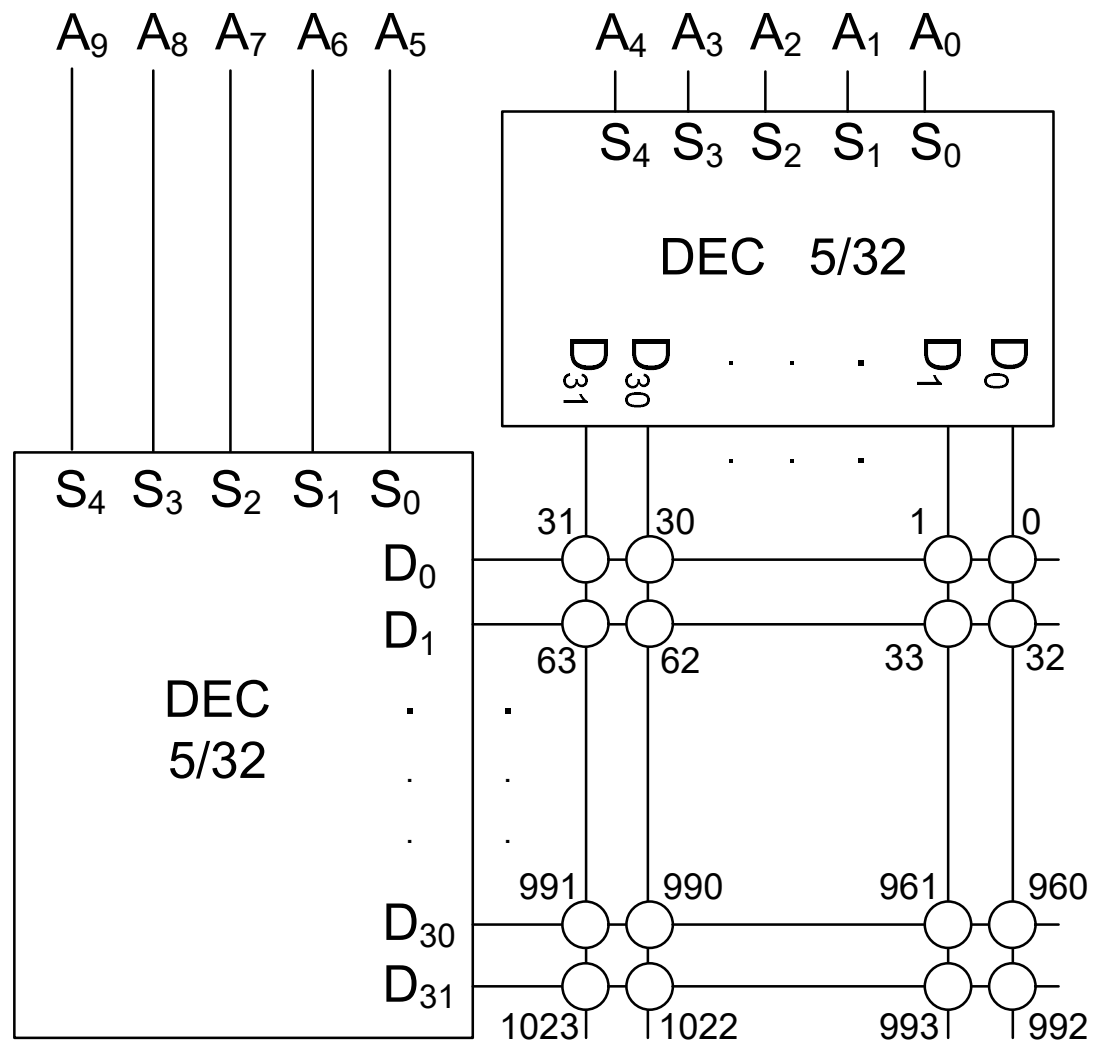
A ₆	A ₅	A ₄	A ₃	A ₂	A ₁	A ₀	Opseg
0	0	0	0	0	0	0	0–31
0	0	1	1	1	1	1	
0	1	0	0	0	0	0	32–63
0	1	1	1	1	1	1	
1	0	0	0	0	0	0	64–127
1	1	1	1	1	1	1	

RAM 128×8 KREIRAN UPOTREBOM RAM 32×4 I RAM 64×4 ČIPOVA I DEKODERA DEC 2/4

Implementacija

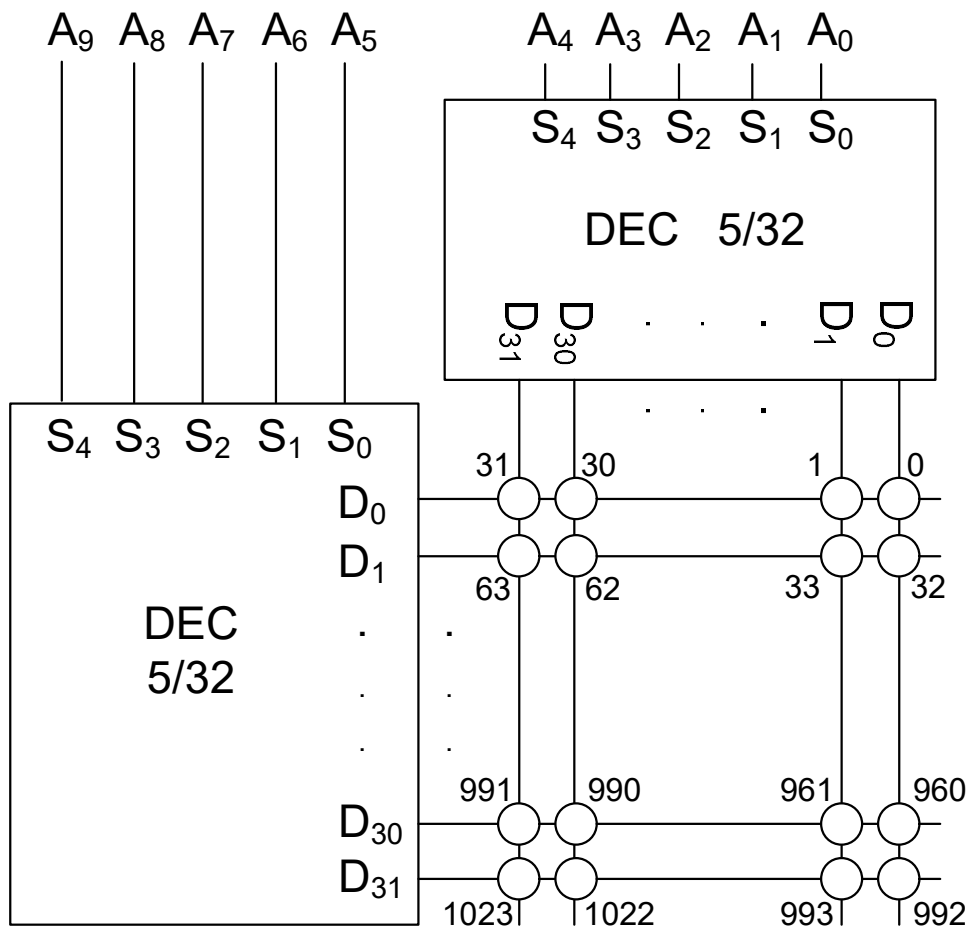


Podudarno dekodiranje



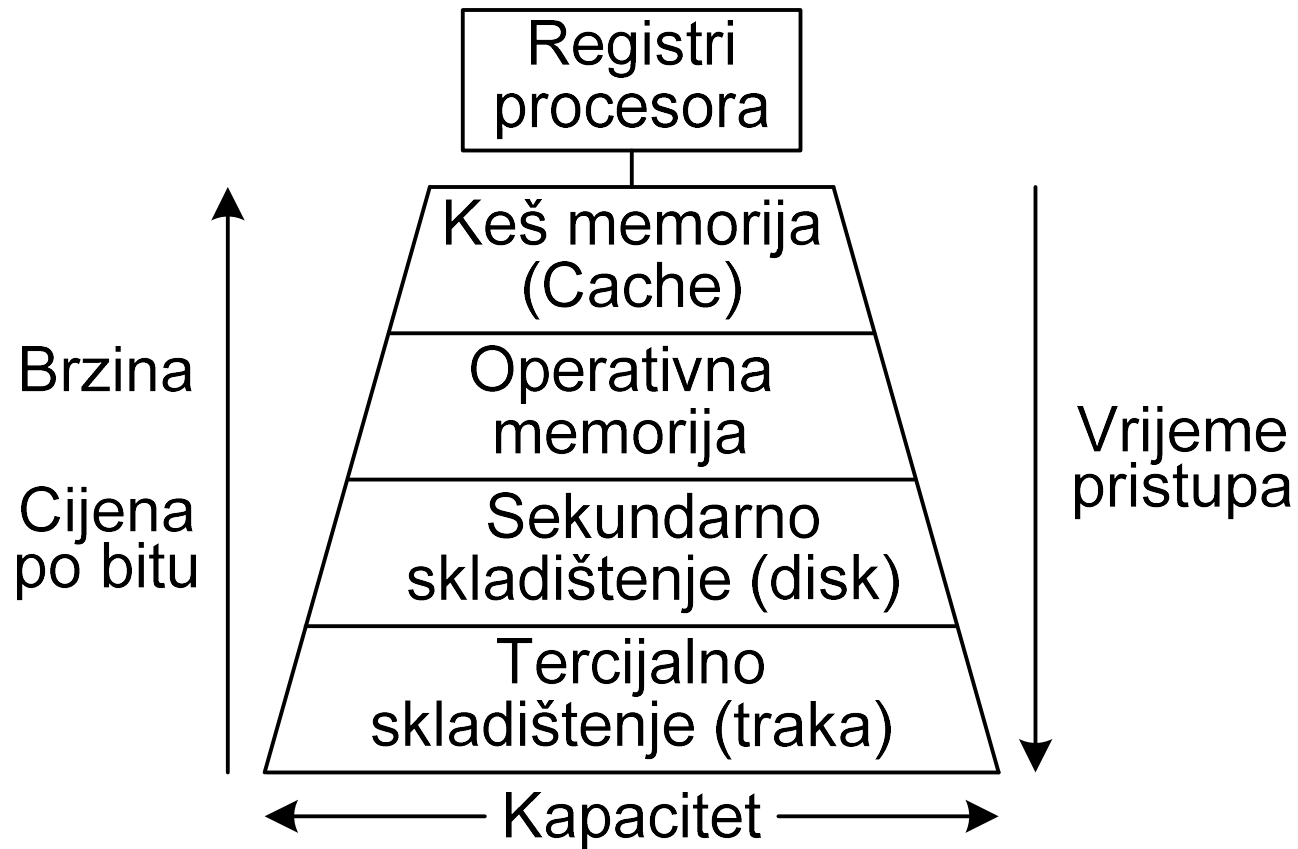
Podudarno dekodiranje

- *Primjer.* Odrediti poziciju memorijske lokacije sa adresom $961_{(10)}$, ako se primjenjuje metoda podudarnog dekodiranja
- Rješenje:



$$961_{(10)} = 1111000001_{(2)}$$

HIJERARHIJA MEMORIJE





Kapacitet i vrijeme pristupa pojedinih memorijskih jedinica

Vrsta memorije	Kapacitet	Vrijeme pristupa
RAM	~ 4GB	~ 60ns
Disk (HDD)	~ TB	~ 10ms
CD-ROM	~ 700MB	~ 100ms
DVD-ROM	~ 4.7GB	~ 100ms
Blu-ray	~ 25GB	~ 200ms
L1 keš	~ 32kB (instrukcije) + 32 kB (podaci)	~ 10ns
L2 keš	~ 512kB (instrukcije + podaci)	~ 20-30ns
L3 keš	~ 8MB (instrukcije + podaci)	~ 30-40ns